

⑫ 公開特許公報(A) 平3-96123

⑤ Int.Cl.³H 03 M 7/30
H 04 N 7/13

識別記号

Z

庁内整理番号

6832-5J
6957-5C

④ 公開 平成3年(1991)4月22日

審査請求 未請求 請求項の数 2 (全6頁)

⑥ 発明の名称 データ帯域圧縮符号化方法及び画像信号の帯域圧縮符号化装置

② 特 願 平1-233647

② 出 願 平1(1989)9月8日

⑦ 発 明 者 伊 藤 隆 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内⑦ 発 明 者 松 田 喜 一 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑦ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑦ 代 理 人 弁理士 古谷 史旺

明 細 書

1. 発明の名称

データ帯域圧縮符号化方法及び画像信号の
帯域圧縮符号化装置

2. 特許請求の範囲

(1) 複数のデータを含む所定長の時系列データ内の
特定値データ以外のデータ数に比例して出力符
号量が増大する如きデータ帯域圧縮符号化におい
て、前記入力された所定長の時系列データ内の絶対
値最大のデータを検出し、前記データ毎に、前記検出された絶対値最大の
データに対する前記当該データの比率が予め決め
られる値より小さいとき前記当該データの代りに
前記特定値データを強制出力させることを特徴と
するデータ帯域圧縮符号化方法。(2) 複数のデータから成る所定長時系列データ内
に含まれる零のデータ以外のデータ数に比例して
出力符号量が増大する画像信号の帯域圧縮符号化

装置において、

前記入力される所定長時系列データ内の絶対値
最大のデータを検出する最大値検出回路(2)と、前記最大値検出に要する時間だけ前記データを
遅延させる遅延回路(4)と、前記データ毎に、前記検出された絶対値最大の
データに対する前記当該データの比率が予め決め
られる値より小さいとき前記当該データの代りに
零を出力せしめる判定回路(6)とを設けたこと
を特徴とする画像信号の帯域圧縮符号化装置。

3. 発明の詳細な説明

(概 要)

DCT符号化等における低い有意度の符号化デ
ータの変更を用いるデータ帯域圧縮符号化方法及
び画像信号の帯域圧縮符号化装置に関し、符号化圧縮度の高度化への寄与、通信コストの
低減を目的とし、複数のデータを含む所定長の時系列データ内の
特定値データ以外のデータ数に比例して出力符号

量が増大する如きデータ帯域圧縮符号化において、前記入力された所定長の時系列データ内の絶対値最大のデータを検出し、前記データ毎に、前記検出された絶対値最大のデータに対する前記当該データの比率が予め決められる値より小さいとき前記当該データの代りに前記特定値データを強制出力させるように構成し、複数のデータから成る所定長時系列データ内に含まれる特定値データ以外のデータ数に比例して出力符号量が増大する画像信号の帯域圧縮符号化装置において、最大値検出回路と、遅延回路と、判定回路とを設けて構成した。

〔産業上の利用分野〕

本発明は、DCT符号化等における低い有意度の符号化データの変更を用いるデータ帯域圧縮符号化方法及び画像信号の帯域圧縮符号化装置に関する。

画像信号の伝送においては、画像信号に含まれる冗長性をできるだけ除いて必要最小限の情報の

伝送を行なうようにしてその伝送系の構築が進められている。その目的達成のため、画像信号の帯域圧縮符号化方式が用いられている。

〔従来の技術〕

その画像信号の帯域圧縮符号化方式の1つとして、DCT(離散コサイン変換)符号化がある。これは画面をある大きさのブロック(たとえば8画素×8ライン)に分割し、各ブロックごとにDCT演算を行なって画素領域のデータ(明るさや色の濃さ)を周波数領域のデータに変換するものである。その上で量子化や可変長符号化を行なって伝送する。DCT符号化において、2次元データを1次元の伝送路で伝送するためにスキャンが行なわれる。スキャンの例を第8図に示す。左上(1, 1)から始まって右下(8, 8)までの64個のデータが順にスキャンされる。このようにして1次元に変換されたデータを符号化するに当たり、一般的には0が多く含まれていることから、データを1つ1つ符号に変換する代わりに、第9

図のように0の長さ(0連)とその次の0でない係数を組み合わせて1つの符号を割り当てる如くして、伝送路符号化が行なわれる。すなわち、発生符号数は0でないデータの数に等しい。

〔発明が解決しようとする課題〕

前記の従来帯域圧縮符号化方式の符号化は、スキャンされて出力される時系列データ内の連続する0とこれに続く非零のデータとを1つの符号に割り当てるものであるために、各データを0であるかないかの判断をするに過ぎず、非零であるデータは、すべて伝送される。従って、非零のデータがデータ伝送上重要でないデータであっても伝送されることになるから、そのようなデータの符号化情報は、冗長な情報として、なお伝送情報の中に含まれていることになる。

本発明は、斯かる問題点に鑑みて創作されたもので、符号化データの圧縮強化への寄与、通信コストの低減に役立つデータ帯域圧縮符号化方法及び画像信号の帯域圧縮符号化装置を提供するこ

とをその目的とする。

〔課題を解決するための手段〕

第1図は本発明の原理ブロック図を示す。この図に示すように、本発明のデータ帯域圧縮符号化方法は、複数のデータを含む所定長の時系列データ内の特定値データ以外のデータ数に比例して出力符号量が増大する如きデータ帯域圧縮符号化において、前記入力される所定長の時系列データ内の絶対値最大のデータを検出し、前記データ毎に、前記検出された絶対値最大のデータに対する前記当該データの比率が予め決められる値より小さいとき前記当該データの代りに前記特定値データを強制出力させるようにして構成されている。本発明の画像信号の帯域圧縮符号化装置は、複数のデータから成る所定長時系列データ内に含まれる零のデータ以外のデータ数に比例して出力符号量が増大する画像信号の帯域圧縮符号化装置を、次の構成要素から構成する。その構成要素は、前記入力された所定長時系列データ内の絶対値最大の

データを検出する最大値検出回路2と、前記最大値検出に要する時間だけ前記当該データを遅延させる遅延回路4と、前記データ毎に、前記検出された絶対値最大のデータに対する前記当該データの比率が予め決められる値より小さいとき前記当該データの代わりに零を出力せしめる判定回路6とである。

〔作 用〕

画像信号のDCT符号化等における、例えば連続している零及びこれに直続する非零のデータとの符号化において、所定長時系列データ（スキャン対象のブロック）内の絶対値最大のデータを、例えば最大値検出回路2において検出する。

次に、入力されたデータと前記最大値検出回路2からの絶対値最大のデータとの比較を行なう。絶対値最大のデータに対する前記入力されたデータの比率が予め決められる値より小さいとき前記入力されるデータの代わりに零等の所定の値を判定回路6から出力する。

トである。26はアンドゲート25の出力に応じて絶対値検出回路21の出力値、又はFF回路23の出力値のいずれか一方を、FF回路23と27のデータ入力へ出力させるセレクトである。FF回路27のセット入力には、前記ブロック先頭指示信号が供給される。

判定回路6は、最大値検出回路2からの絶対値最大のデータと、該最大値検出回路2における検出動作に要する時間だけ遅延回路4で遅延されたDCT回路1の出力データとの比率が所定値以下か否かにより入力データそのままか0かのどちらかを出力するもので、その構成は第4図に示す。第4図において、61は前記絶対値最大のデータに所定比率を乗じたデータを出力する変換回路である。前記所定比率は、変換回路61の係数情報入力に与えられる。62は遅延回路4からのデータの絶対値を出力する絶対値出力回路である。63は変換回路61の出力値と絶対値出力回路62の出力値とを比較して選択信号を出力する比較回路である。64は選択信号に応じて入力データ（

従来のDCT符号化等における有意度の低い係数は削除されるから、伝送される符号化データの圧縮強化に役立つ。

〔実施例〕

第2図は、本発明の第1の実施例を示す。この図において、1はDCT回路、2は最大値検出回路、4は遅延回路、6は判定回路である。

最大値検出回路2は、DCT回路1において周波数領域のブロック内のデータを受ける毎に、当該データまでの、該データの属するブロック内の絶対値最大のデータを検出するもので、第3図に示す如き構成を有する。第3図において、21は絶対値出力回路で、ROM等で構成される。22は比較回路で、フリップフロップ回路（以下、FF回路と言う。）23が保持しているブロック内該入力データ前の最大値と入力データ絶対値とを比較する。24はブロック先頭指示信号（BLK）を受けるインバータである。25は、インバータ24及び比較回路22の出力を受けるアンドゲ

遅延回路4の出力データ）、又は0を各データ毎に出力するセレクトである。

前述構成の本発明実施例の動作を以下に説明する。

1ブロックのデータ数を n としたとき、ブロック内1番目のデータ（ d_1 ）（第5図の(2)参照）が入力されるとき、BLK信号は第5図の(1)に示すように1となり、それ以外のとき0になっている。又、セレクト26の動作は、選択信号が0のとき下側の入力信号を、1のとき上側の入力信号を出力するものとする。

入力された第1データが、まず絶対値出力回路21で絶対値に変換されて比較回路22とセレクト26に与えられる。前述のように、第1データ入力時には、BLK信号が1、従ってインバータ24の出力は0になっているため、セレクト26へは比較回路22の出力に関わらず選択信号0が供給される。セレクト26の出力には第1データの絶対値が現れ、FF回路23にラッチされる。これを第5図の(3)にはPと示す。Pはそれまでの

データの中の絶対値が最大のものを表す。

次に、第2データ(第5図の(2)参照)が入力されたときは、比較回路22の上側入力にはP、すなわち第1データの絶対値が与えられ、下側入力には第2データの絶対値が与えられる。比較回路22は、下側すなわち入力データの絶対値の方が上側すなわちそれまでの最大絶対値よりも大きいときに0を、それ以外るときは1を出力する。また、BLK信号は0、従って、インバータ24からアンドゲート25に与えられる信号は1であるから、比較回路22の出力がそのまま選択信号として用いられる。この結果、セレクト26からは大きい方の値が出力される。そして、これがFF回路23にラッチされる。第5図の(3)にPとして示してある D_i は D_{i-1} と d_i の絶対値のうちの大きい方となる。このようにして、ブロックの最後のデータ d_n が入力されたとき、セレクト26の出力にはそのブロックの最大絶対値が現れる(第5図の(4)参照)。これを次のブロックのBLK信号の立ち上がりでFF回路27にラッチすることで、

MAX信号線28に所望のブロック内最大絶対値を出力できる。なお、この値は第3図構成では1ブロック期間保持される。

最大値検出回路2の出力、すなわちブロック内最大値 i は、変換回路61で出力0に変換される。出力0は、例えば、 $0 = i/100$ である。その変換比率1/100は、第4図に係数情報として入力されている。又、遅延回路4からのデータの絶対値が、絶対値出力回路62から出力される。その絶対値が比較回路63で前記出力0の値と比較され、入力データの方が大きいときは0が、小さいときは1が出力される。この出力はセレクト64に選択信号として入力され、選択信号が0のときは下側の入力、すなわち入力データが選択され、1のときは上側の入力(ここでは0に固定)が選択される。この結果、ブロック内の最大絶対値(i)にある値(例えば0.01)を掛けて求まるしきい値(0)より小さい入力データは0に置換される。

このようにして、前述従来方式の受信再生上において重要でない情報を削除することができ、符

号化の圧縮能力を高めるのに役立つ。通信コストにも有利性をもたらす。

第6図は、本発明の他の実施例を構成するための係数情報発生回路である。この係数情報発生回路7は、第6図に示すように符号変換回路71、情報量カウンタ73及び変換回路75から成る。変換回路75の出力は係数情報として第4図の変換回路61の係数情報入力へ与えられる。つまり、係数情報を符号量に応じて可変に設定するようにしたのが、本発明の他の実施例である。

その係数情報は、係数情報発生回路7から次のようにして発生される。

前記判定回路6の出力OUTは符号変換回路71に与えられ、伝送または蓄積されるときに符号の長さに変換される。これをある期間累積する情報量カウンタ73により、累積開始から各データまでに出力した符号の量(ビット数)が計量される。これを変換回路75に入力する。変換回路75では入力符号量に応じて、例えば第7図のような出力特性により求まる値を係数情報として判定回

路に与える。

この係数情報の可変的設定は、符号量の増加とともに、最大絶対値に掛ける値を大きくし、判定回路で0にされるデータの数を増やし、その結果送出符号数の削減が、更に強化されて、発生符号量の制御に寄与することとなる。

なお、前記実施例においては、0の値の連続について着目した符号化の例を示したが、他の特定値の連続に着目した符号化の場合への、本発明の適用は何ら失われるものではない。

(発明の効果)

以上述べたところから明らかなように本発明によれば、受信再生において重要でない情報の削除が行なわれるので、符号化の圧縮能力が高められる。通信コストの低減に役立つ。係数情報の可変的設定を行えば、その実効が強化される。

4. 図面の簡単な説明

第1図は本発明の原理ブロック図、

第2図は本発明の一実施例を示す図、
 第3図は最大値検出回路の詳細図、
 第4図は判定回路の詳細図、
 第5図は最大値検出回路の動作タイミングチャート、
 第6図は係数情報発生回路の詳細図、
 第7図は符号量-係数情報変換曲線図、
 第8図はスキヤンの例を示す図、
 第9図はデータのグループ化を示す図である。

第1図乃至第4図及び第6図において、

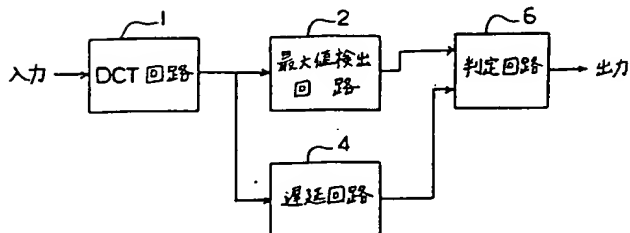
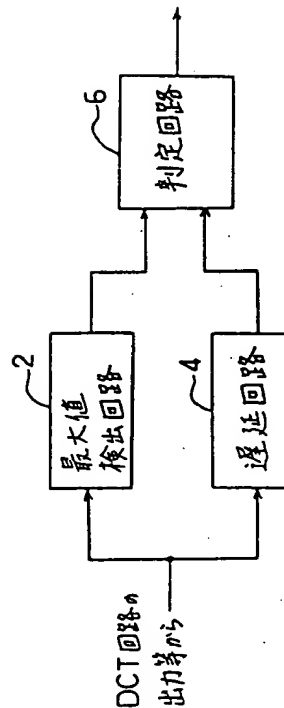
- 1はDCT回路、
- 2は最大値検出回路、
- 4は遅延回路、
- 6は判定回路、
- 7は係数情報発生回路である。

特許出願人 富士通株式会社
 代理人 弁理士 古谷 史

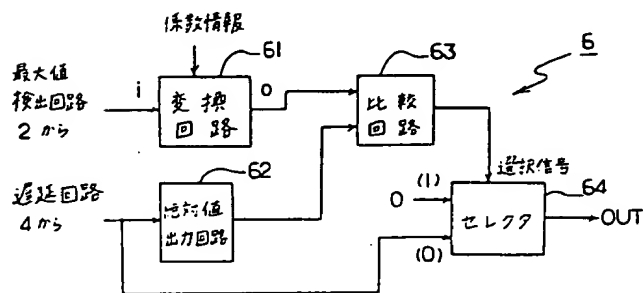


本発明の原理ブロック図

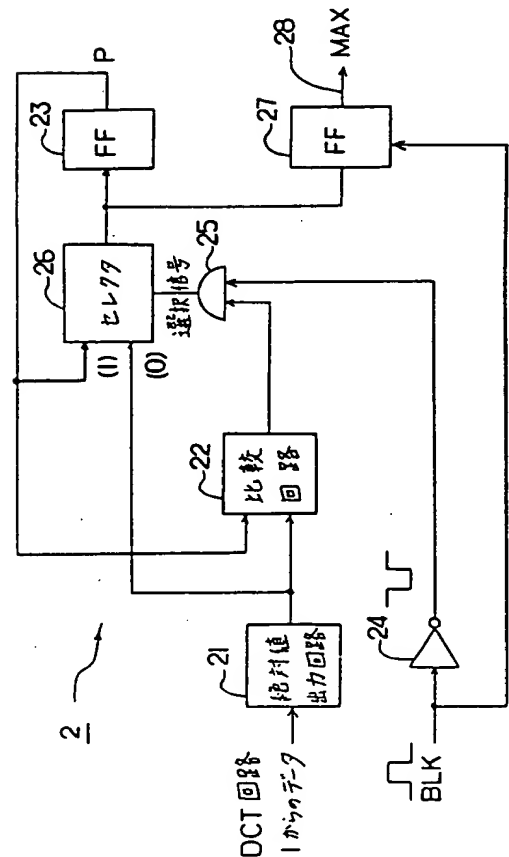
第1図



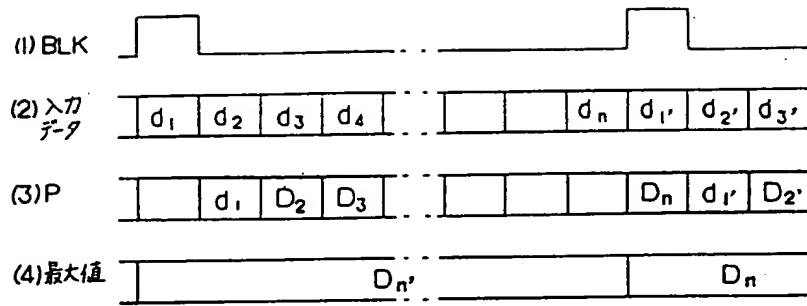
本発明の一実施例
 第2図



判定回路の詳細図
 第4図

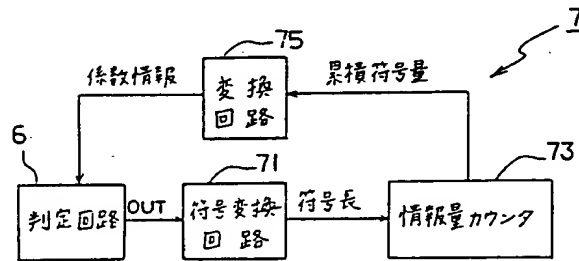


最大値検出回路の詳細図
 第3図



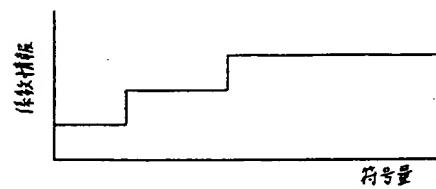
最大値検出回路の動作タイミングチャート

第 5 図



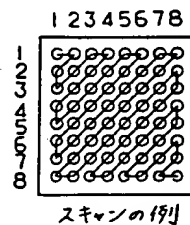
係数情報発生回路の詳細図

第 6 図

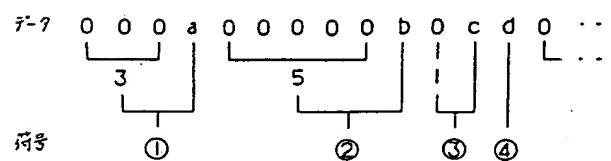


符号量-係数情報変換曲線図

第 7 図



第 8 図



データのグループ化

第 9 図